

"DISPOSITIVO ELEVATORE DI TENSIONE E SISTEMA DI
MEMORIA"

Descrizione

La presente invenzione riguarda un dispositivo
5 elevatore di tensione di tipo impiegabile nelle memorie
non volatili.

Come noto, per memorie non volatili quali, in
particolare, le memorie Flash multilivello, è necessario
disporre di una tensione più elevata della tensione di
10 alimentazione comunemente utilizzata non soltanto nelle
operazioni di programmazione e di cancellazione, ma
anche per le operazioni di lettura del contenuto delle
celle di memoria.

Pertanto, a meno di prevedere che le tensioni
15 richieste siano fornite dall'esterno del circuito
integrato sul quale è realizzata la memoria, esse devono
essere generate internamente al circuito integrato
stesso; questo è tipicamente il caso di un circuito
integrato a singola alimentazione ("Single Power
20 Supply").

Da ciò scaturisce l'esigenza di impiegare
dispositivi elevatori di tensione, realizzati nel
medesimo circuito integrato.

I dispositivi elevatori di tensione comunemente
25 utilizzati includono survoltori basati sul principio

della pompa di carica. Come noto, un survoltore a pompa di carica si comporta come un generatore di tensione con resistenza di uscita non nulla, per cui la corrente che si può richiedere ad essa è inversamente proporzionale
5 alla tensione che essa deve fornire.

Inoltre, questo tipo di survoltori non consentono di fornire la tensione con la necessaria precisione e, pertanto, è convenientemente utilizzato un circuito di regolazione della tensione in uscita dal survoltore
10 stesso.

Allo scopo di ridurre i consumi, quando non vengono effettuate operazioni sulla memoria non volatile il dispositivo elevatore di tensione viene disattivato ossia, è portato in uno stato di attesa o stand-by.

15 A tal proposito, il documento EP-A-1113450 descrive un dispositivo elevatore di tensione includente, oltre che un survoltore ed un regolatore, anche un dispositivo elevatore di stand-by destinato ad operare all'ingresso in stand-by. All'ingresso in stand-by, un nodo di uscita
20 del survoltore e un nodo di uscita del regolatore di tensione vengono collegati fra loro e con un terminale d'uscita del dispositivo elevatore di tensione di stand-by. In tale documento si descrive che il dispositivo elevatore di stand-by è impiegato per fornire a tali
25 nodi una tensione necessaria a compensare la scarica

dovuta a correnti di leakage di giunzione (correnti di saturazione inversa) dei transistori ad essi connessi. Secondo il documento sopra citato, grazie all'azione di questo dispositivo elevatore di stand-by è possibile,
5 all'uscita dallo stand-by, raggiungere velocemente e con la precisione voluta la tensione di lettura richiesta.

Con particolare riferimento ad un dispositivo elevatore di tensione impiegato per fornire la tensione di lettura di una cella del tipo descritto nel documento
10 EP-A-1113450, si sono osservati fenomeni di saturazione del valore di tensione del nodo d'uscita di questo dispositivo tali da vanificare l'azione miglioratrice del dispositivo elevatore di stand-by o, addirittura, tali da poter causare un'erronea lettura del contenuto
15 della cella. Inoltre, per tale tipo di dispositivi convenzionali si è riscontrata una forte dipendenza delle sue prestazioni dalla tempistica del segnale di pilotaggio impiegato per portare il dispositivo stesso in stand-by e nello stato attivo.

20 Scopo della presente invenzione è quello di fornire un dispositivo elevatore di tensione che presenti prestazioni migliorate rispetto a quelle dei dispositivi convenzionali sopra descritti.

Lo scopo della presente invenzione è raggiunto da
25 un dispositivo elevatore di tensione come definito dalle

annesse rivendicazioni da 1 a 21.

Forma oggetto della presente invenzione anche un sistema di memoria includente un dispositivo elevatore di tensione come definito nella annessa rivendicazione
5 22.

Ulteriori caratteristiche ed i vantaggi dell'invenzione risulteranno dalla descrizione che segue di una forma preferita di realizzazione e di sue varianti fornita a titolo esemplificativo con
10 riferimento ai disegni allegati in cui:

- la figura 1 mostra schematicamente una forma particolare di realizzazione di un sistema di memoria non volatile in accordo con l'invenzione,

- la figura 2 mostra schematicamente una forma
15 di realizzazione preferita di un circuito di rivelazione e scarica impiegabile nel sistema di figura 1;

- la figura 3 mostra l'andamento di alcuni segnali di comando impiegabili in detto sistema di memoria;

20 - la figura 4 mostra schematicamente un forma di realizzazione preferita di un compratore di tensione impiegabile in detto sistema;

- la figura 5 mostra schematicamente una forma di realizzazione preferita di mezzi di commutazione e di
25 un elemento elevatore impiegabile in detto sistema;

- la figura 6 mostra il risultato di misure sperimentali relative ad un dispositivo elevatore di tensione convenzionale;

- la figura 7 mostra il risultato di simulazioni di confronto fra le prestazioni di un dispositivo elevatore convenzionale e uno realizzato in accordo con l'invenzione;

- la figura 8 mostra schematicamente un esempio di dispositivo elevatore di tensione addizionale impiegabile in detto sistema secondo una forma di attuazione preferita della presente invenzione;

- le figure 9a e 9b mostrano simulazioni di confronto fra le prestazioni di un dispositivo elevatore convenzionale e uno realizzato in accordo con una forma di attuazione preferita dell'invenzione.

La figura 1 mostra un sistema di memoria non volatile 1 comprendente una matrice o un array di memoria 2, un dispositivo elevatore di tensione 3 includente uno stadio elevatore di tensione di lettura 4, uno stadio elevatore di tensione di attesa o stand-by (STAND-BY) 5 e mezzi circuitali di gestione di scarica 100.

L'array di memoria 2 è, ad esempio, del tipo Flash multilivello a bassa tensione di alimentazione (ad esempio, pari a 3V) e comprende una pluralità di celle

di memoria 6 organizzate in righe e colonne. In particolare, le celle di memoria 6 appartenenti alla medesima riga hanno il proprio terminale di gate connesso ad una riga o word line 7.

5 Un decodificatore di riga 8, ad esempio, di tipo convenzionale, collega selettivamente una delle word line 7 dell'array di memoria 2 ad un terminale d'uscita 10 del dispositivo elevatore di tensione 3.

10 Il decodificatore di riga 8 ha una capacità parassita rappresentata in figura 1 mediante un capacitore di decodifica 11 connesso fra il detto terminale d'uscita 10 e la terra.

Lo stadio elevatore di tensione di lettura 4 è, ad esempio, di tipo convenzionale e comprende un survoltore
 15 a pompa di carica di lettura 12 avente un terminale d'uscita per rendere disponibile una tensione di lettura VR collegato mediante un primo commutatore 13 ad un primo nodo 15. Tale tensione di lettura VR è opportunamente superiore in modulo rispetto ad una
 20 tensione VDD di alimentazione del sistema di memoria 1 e del survoltore 12.

Il primo nodo 15 è collegabile selettivamente (ossia in modo reversibile) ad un primo terminale di un capacitore di filtro 16 con capacità C_{16} avente un
 25 secondo terminale collegato alla terra. Il capacitore di

filtro 16 ha una funzione di filtraggio di componenti indesiderate della tensione al primo nodo 15 dovute a transitori che si verificano in seguito ad accensione o spegnimento del survoltore 12.

5 Inoltre, il primo nodo 15 è collegato mediante una linea di conduzione 15' ad un ingresso del regolatore di tensione di lettura 17 provvisto di un terminale d'uscita per alimentare una tensione di lettura regolata VRR. Il terminale d'uscita del regolatore di tensione di
10 lettura 17 è collegabile selettivamente al terminale d'uscita 10 del dispositivo elevatore di tensione 3 mediante un secondo commutatore 18.

Inoltre, il sistema di memoria 1 comprende un'unità di controllo (C.U.) 20 per generare un segnale di attesa
15 o stand-by SB e un segnale di temporizzazione CK. Il segnale di stand-by SB ad esempio, un segnale destinato ad assumere due livelli logici.

Lo stadio elevatore di tensione di lettura 4 è tale da fornire la tensione di lettura regolata VRR con un
20 valore adeguato alla lettura della matrice di memoria 2 quando questa è selezionata.

Inoltre, tale stadio elevatore di tensione di lettura 4 è destinato ad essere posto in uno stato di attesa, ossia a essere disattivato, dal segnale di
25 stanb-by SB (ad esempio, con un livello logico alto) e

ad essere attivato al funzionamento quando la matrice di memoria 2 è selezionata (ad esempio, il segnale SB assume il livello logico basso).

Preferibilmente, da un punto di vista strutturale
5 lo stadio elevatore di tensione di stand-by 5 è realizzato in modo analogo a quanto descritto nella sopraccitata domanda di brevetto EP-A-1113450 con riferimento allo stadio indicato con il numero 5.

Lo stadio elevatore di tensione di stand-by 5 può
10 essere attivato e disattivato al/dal funzionamento in base al segnale di attesa SB.

Tale stadio elevatore di tensione di stand-by 5 ha la funzione di mantenere, durante lo stato di stand-by, il terminale d'uscita 10 (unitamente al primo nodo 15)
15 caricato ad un desiderato valore di tensione per abilitare la lettura veloce in uscita da uno stato di stand-by e allo stesso tempo limitando il consumo a quello strettamente indispensabile. In particolare, lo stadio elevatore di tensione di stand-by 5 consente di
20 compensare la diminuzione del potenziale elettrico del terminale d'uscita 10 e del primo nodo 15 che si verifica nello stato di stand-by e dovuto a correnti di leakage, ossia alla corrente di saturazione inversa di giunzioni pn o np di transistori MOSFET impiegati nel
25 sistema di memoria.

Ai fini del caricamento ad una tensione desiderata del terminale d'uscita 10 tale stadio elevatore di tensione di stand-by 5 rende disponibile un segnale di caricamento STBYPMPOUT alimentato ad un secondo nodo 5 103. Analogamente a quanto descritto nel documento EP-A-1113450, lo stadio elevatore di tensione di stand-by 5 comprende un partitore di tensione, un comparatore di tensione, un generatore di fase, un survoltore a pompa di carica e un opzionale regolatore di tensione 10 ausiliario (non mostrati). Una descrizione più dettagliata dello stadio elevatore di tensione di stand-by 5 è fatta nel citato documento di tecnica nota e quindi non è necessaria nella presente descrizione.

Il circuito di gestione di scarica 100 comprende 15 uno stadio di rivelazione e scarica DT-DSC avente un terminale d'ingresso collegato al primo nodo 15. Il circuito di gestione di scarica 100 è anche provvisto di mezzi di commutazione includenti un primo interruttore o commutatore ad alta tensione 101 destinato a 20 collegare/scollegare il primo nodo 15 al/dal secondo nodo 103 a sua volta collegato ad un secondo interruttore ad alta tensione 102. Il secondo interruttore ad alta tensione 102 è tale da collegare/scollegare il secondo nodo 103, collegato 25 anche all'uscita dello stadio elevatore di tensione di

stand-by 5, al terminale d'uscita 10.

Il circuito di gestione di scarica 100 consente, durante lo stand-by della memoria 2, di scaricare il primo nodo 15 e, quindi, il capacitore di filtro 16
5 quando il potenziale elettrico di detto primo nodo 15 è superiore in modulo ad un valore desiderato V-SB.

Il valore desiderato V-SB è un valore tale da assicurare che all'uscita dallo stand-by la tensione presente sul terminale d'uscita 10 sia opportuna per
10 effettuare una specifica operazione quale, in particolare, la lettura della cella di memoria (ad esempio, la tensione al terminale d'uscita 10 è di 6 V).

Inoltre, come risulterà maggiormente chiaro più avanti, il circuito di gestione di scarica 100 consente
15 di scaricare il primo capacitore 16 per evitare perturbazioni del terminale d'uscita 10 dovute ad interazioni fra il primo 16 ed il secondo 11 capacitore verificabili quando il primo nodo 15 e il terminale d'uscita 10 sono collegati.

20 Il circuito di rivelazione e scarica DT-DSC consente di generare un primo segnale di pilotaggio PMPCONHV_N del primo commutatore ad alta tensione 101 e un secondo segnale di pilotaggio REGCONHV_N del secondo commutatore ad alta tensione 102.

25 La figura 2 mostra schematicamente, una forma di

realizzazione preferita del circuito di rivelazione e scarica DT-DSC comprendente un partitore di tensione 104, un comparatore di tensione 105 e un dispositivo di scarica 106 (DISCHARGE).

5 Il partitore di tensione 104 include, ad esempio, un numero N2 di diodi 107 collegati in serie fra il primo nodo 15 e la terra in modo da dividere la tensione in uscita dal survoltore a pompa di carica 12 generando una tensione d'uscita V-DIV da fornire ad un terminale
10 non invertente del comparatore di tensione 105.

Il comparatore di tensione 105, alimentato da una tensione VDD, è tale da confrontare la tensione V -DIV prelevata dal partitore di tensione 104 con una tensione di riferimento VREF fornita ad un proprio terminale
15 invertente e generare in uscita un segnale di comando-scarica PMPDISCH. Inoltre, il comparatore di tensione 105 è attivato/disattivato al/dal funzionamento mediante un segnale logico di attivazione PMPDISCHEN.

Vantaggiosamente, il segnale di attivazione
20 PMPDISCHEN rende attivo il comparatore di tensione 105 (ad esempio, assumendo un livello logico alto) quando si verifica un ingresso nello stato di stand-by e lo disattiva, riducendo i consumi dell'alimentazione, quando il dispositivo di scarica 106 ha effettuato la
25 sua funzione di scarica o, se tale scarica non è

avvenuta completamente, quando il sistema di memoria 1
esce dallo stand-by.

Il dispositivo di scarica 106, pilotato dal segnale
di comando-scarica PMPDISCH, consente di scaricare verso
5 massa la tensione del primo nodo 15 fino a quando tale
tensione risulta pari al valore V-SB.

Ad esempio, il dispositivo di scarica è realizzato
mediante un MOSFET (Metal-Oxide-Semiconductor-Field-
Effect-Transistor), in particolare, a canale N, e
10 rappresentato nella medesima figura 2 dal transistore di
scarica 108.

Tale transistore 108 presenta il terminale di gate
collegato all'uscita del comparatore di tensione 105, in
modo da essere attivato e disattivato in funzione del
15 segnale di comando-scarica PMPDISCH, e i rimanenti
terminali collegati al primo nodo 15 e alla massa.
Durante la fase di scarica tale transistore 108 è
percorso da una corrente di scarica I_{disch} . Secondo
l'esempio, la scarica avviene quando il segnale di
20 comando-scarica PMPDISCH assume un livello logico alto.
Si osservi che, vantaggiosamente, la scarica provocata è
sufficientemente veloce in modo da non mantenere il
comparatore 105 troppo a lungo in funzionamento e, nello
stesso tempo, è sufficientemente lenta per consentire un
25 efficiente controllo da parte del comparatore 105.

Preferibilmente, il partitore di tensione 104 è realizzato in modo che i diodi 107 siano sostanzialmente uguali fra loro (in particolare, essi presentano la medesima tensione di soglia) e quindi in modo che la
5 tensione V-DIV prelevata in uscita sia pari a:

$$V-DIV = V-15 / N2 \quad (1)$$

Dove V-15 è la tensione al primo nodo 15 e N2 è il numero dei diodi 107.

Scegliendo opportunamente il valore di N2 è
10 possibile far sì la tensione V-DIV in uscita al partitore 104 sia, nella condizione ottimale di funzionamento, pari alla tensione di riferimento VREF.

Inoltre, scegliendo opportunamente il fattore di forma dei diodi 107 è possibile rendere minimo il
15 consumo associato al partitore di tensione 104. Secondo una particolare forma di attuazione, il partitore di tensione 104 può essere realizzato mediante un cascata di N2 transistori MOS di tipo P connessi a diodo.

Preferibilmente, tale partitore di tensione 104 è
20 sostanzialmente identico al partitore di tensione impiegato nello stadio elevatore di tensione di stand-by
5 e descritto nel documento di tecnica nota sopra citato. In tal modo, si riducono i problemi di mancanza di accoppiamento (mismatching) fra la rivelazione al
25 primo nodo 15 e quella al terminale d'uscita 10

effettuata dallo stadio elevatore di tensione di stand-by 5.

Il circuito di rivelazione e scarica DT-DSC è anche provvisto di uno stadio di generazione 109 di un segnale
5 di avvenuta scarica LOWPMP ottenuto a partire dal segnale di comando-scarica PMPDISCH.

In particolare, tale stadio di generazione 109 può essere realizzato con un flip-flop, FF, ad esempio di tipo D, sincronizzato dal segnale di comando-scarica
10 PMPDISCH applicato ad un ingresso CP e tale da abilitare il flip-flop 109 in corrispondenza dei fronti di discesa.

In questo caso il segnale LOWPMP presente sull'uscita Q assumerà il valore VDD della tensione di
15 alimentazione applicata all'ingresso D ogni qualvolta è presente un fronte di discesa del segnale di comando-scarica PMPDISCH. Il reset del flip-flop 109 avviene in conseguenza dell'uscita dallo stato di stand-by ossia, secondo l'esempio, quando il segnale di stand-by SB
20 assume un livello logico basso.

Il circuito di rivelazione e scarica DT-DSC comprende inoltre un elevatore di tensione 110 (indicato in figura 2 anche con ELEVATOR) destinato ad invertire e ad elevare in tensione il segnale di avvenuta scarica
25 LOWPMP e il segnale di stand-by SB generando su

corrispondenti uscite, rispettivamente, il primo segnale di pilotaggio PMPCONHV_N del primo commutatore ad alta tensione 101 e il secondo segnale di pilotaggio REGCONHV_N del secondo commutatore ad alta tensione 102.

5 Il circuito di rivelazione e scarica DT-DSC è anche provvisto di una rete logica 111 opportuna (indicata in figura con dicitura LOG+DELAY) comprendente, ad esempio, un elemento invertente e, preferibilmente, anche un elemento di ritardo che assicura un margine di sicurezza
10 nella tempistica del dispositivo 3.

La rete logica 111 a partire dal segnale di avvenuta scarica LOWPMP è tale da generare il segnale di attivazione PMPDISCHEN da inviare al comparatore di tensione 105.

15 Sarà ora descritto il funzionamento del sistema di memoria 1 in accordo con l'invenzione facendo anche riferimento alla figura 3, in cui sono mostrati particolari andamenti del segnale di stand-by SB, del segnale di comando-scarica PMPDISCH e del segnale di
20 avvenuta scarica LOWPMP.

Quando il sistema di memoria 1 è posto nello stato di stand-by, l'unità di controllo 20 assegna al segnale di stand-by SB il livello logico alto.

All'ingresso nello stato di stand-by il primo
25 commutatore ad alta tensione 101 è mantenuto aperto e il

secondo commutatore ad alta tensione 102 è chiuso mediante il secondo segnale di pilotaggio REGCONVH_N. In tal modo, durante un fase iniziale, il terminale d'uscita 10 risulta collegato allo stadio elevatore di tensione di stand-by 5 mentre il primo nodo 15, direttamente collegato allo stadio di rivelazione e scarica DT-DSC, non è posto in collegamento con lo stadio elevatore di tensione di stand-by 5.

Inoltre, inizialmente il segnale di attivazione PMPDISCHEN è ad un livello logico alto e tale da attivare al funzionamento il comparatore di tensione 105.

Il partitore di tensione 104 preleva la tensione presente al primo nodo 15 e invia la corrispondente tensione V-DIV al comparatore di tensione 105.

Se la tensione V-15 presente al primo nodo 15 è superiore al valore prefissato V-SB, e quindi la tensione V-DIV è superiore alla tensione di riferimento VREF, il comparatore di tensione 105 genera il segnale di comando-scarica PMPDISCH con un livello logico alto e adeguato a causare la scarica mediante il dispositivo 106.

In particolare, il livello del segnale di comando-scarica PMPDISCH è tale da portare in conduzione il transistor 108 il quale, mediante la corrente Idisch

scarica verso massa parte della carica del condensatore di filtro 16.

Quando, in seguito alla scarica effettuata mediante il transistor 108, la tensione V-15 del primo nodo 15 di uscita del survoltore a pompa di carica 12 risulta sostanzialmente pari al valore V-SB (e quindi, la tensione V-DIV è sostanzialmente uguale a VREF), il segnale di comando-scarica PMPDISCH raggiunge un livello logico tale da interrompere la scarica del primo nodo 10 15.

Il segnale di comando-scarica PMPDISCH viene anche inviato al flip-flop 109. Il fronte di discesa del segnale di comando-scarica PMPDISCH applicato al flip-flop 109 causa l'attivazione (livello logico alto) del 15 segnale di avvenuta scarica LOWPMP. In conseguenza dell'attivazione del segnale di avvenuta scarica LOWPMP, la rete 111 porta ad un livello logico basso il segnale di attivazione comando-scarica PMPDISCHEN in modo da disattivare dal funzionamento il comparatore di tensione 20 105. La disattivazione del comparatore di tensione 105 interrompe un'ulteriore scarica della tensione del nodo 15 e, vantaggiosamente, evita consumi dovuti al comparatore stesso.

Lo stadio elevatore 110 inverte ed eleva in 25 tensione il segnale di avvenuta scarica LOWPMP in modo

che il segnale PMPCONHV-N assuma un livello di tensione adeguato a chiudere il primo interruttore ad alta tensione 101 collegando il primo nodo 15 al terminale 10 e, quindi, allo stadio elevatore di tensione di stand-by
5 5.

Da questo istante, lo stadio elevatore di tensione di stand-by 5 provvederà a mantenere la tensione del terminale d'uscita 10, collegato al primo nodo 15 e ai due rispettivi capacitori 11 e 16, al valore V-SB
10 caricandolo con la tensione STBYPMPOUT fornita al secondo nodo 103.

La scarica controllata della tensione del nodo 15 e, quindi, del capacitore di filtro 16, è particolarmente vantaggiosa perché evita i problemi
15 rivelati con strutture convenzionali che prevedono, all'ingresso in stand-by, un immediato collegamento del nodo d'uscita dello stadio survoltore con il terminale d'uscita del regolatore di tensione e, quindi, il collegamento di tale nodo comune con lo stadio di
20 elevazione di tensione di stand-by. Infatti, in strutture aventi un funzionamento analogo a quello del dispositivo elevatore descritto nel documento EP-A-1113450, si è riscontrato che si può presentare una durata della permanenza nello stato di stand-by tale da
25 non permettere che si raggiunga l'esaurimento di un

transitorio dovuto all'accoppiamento o sharing fra il
capacitore di filtro collegato al survoltore e il
capacitore di decodifica collegato al regolatore di
tensione. Si osservi che all'ingresso in uno stato di
5 stand-by il capacitore di filtro 16 e il capacitore di
decodifica 11 presentano rispettivamente tensioni V-16 e
V-11, dove la tensione V-16 è normalmente maggiore di
quella V-11.

In particolare, si è notato che in presenza di un
10 segnale di abilitazione dell'intero sistema di memoria
(segnale CE#, "Chip Enable") che sia periodico con un
periodo tale da non consentire l'esaurimento del
suddetto transitorio si verifica una saturazione del
nodo d'uscita del regolatore di tensione a valori di
15 tensione superiori al valore nominale di lettura
desiderato.

Tale stato di saturazione rende vana l'azione di
controllo esercitata dallo stadio elevatore di tensione
di stand-by 5 e, in alcuni casi, può portare ad una
20 erronea lettura della cella.

Secondo l'invenzione, la tensione del capacitore di
filtro 16 è forzata, all'ingresso nello stato di stand-
by e prima di collegare il primo nodo 15 al terminale
d'uscita 10, ad assumere il desiderato valore V-SB senza
25 attendere l'esaurimento del transitorio dovuto allo

sharing con il capacitore di decodifica 11.

Grazie agli insegnamenti dell'invenzione, anche in presenza di segnali di abilitazione del sistema di memoria 1 periodici e a frequenza relativamente alta è
5 possibile fare in modo che il terminale di uscita 10 presenti, all'uscita da stand-by, il valore di tensione V-SB desiderato e opportuno per la lettura e che, invece, non assuma valori non predeterminabili e tali da compromettere la lettura della celle.

10 Per completezza di descrizione verranno anche descritte forme di realizzazione preferenziali del partitore di tensione 104, del comparatore di tensione 105 e di una struttura di commutazione impiegabile per la realizzazione del primo 101 e del secondo 102
15 commutatore ad alta tensione.

Si osservi che nella presente descrizione e nelle corrispondenti figure elementi identici o analoghi sono indicati con i medesimi riferimenti numerici.

Nella figura 4 è mostrata una forma di
20 realizzazione preferita del comparatore di tensione 105. Secondo la forma di realizzazione mostrata in figura 4 il compratore è realizzato in tecnologia CMOS (Complementary Metal-Oxide-Semiconductor) ed include transistori MOS.

25 Questo comparatore di tensione 105 comprende un

amplificatore differenziale D-P includente una coppia di transistori (di tipo N) M1 ed M2 ed un carico attivo includente uno specchio di corrente CM formato da due transistori (di tipo P) M3 ed M4.

5 Ai terminali di gate dei transistori M1 ed M2 dell'amplificatore differenziale D-P possono essere alimentate rispettivamente la tensione V-DIV di uscita dal partitore di tensione 104 e la tensione di riferimento VREF. I terminali di source dei transistori
10 M1 ed M2 sono entrambi collegati al drain di un primo transistore di attivazione/disattivazione (di tipo N) M6 destinato a ricevere al proprio gate il segnale di attivazione del comparatore PMPDISCHEN.

Il primo transistore di attivazione/disattivazione
15 è collegato in cascata con un transistore M6 (di tipo N) collegato alla massa ed avente il rispettivo terminale di gate destinato a ricevere la tensione di riferimento VREF che lo porta in conduzione.

I terminali di source dei transistori M3 ed M4
20 formanti lo specchio di corrente CM sono collegati alla tensione di alimentazione VDD. Fra il terminale alimentato dalla tensione VDD e i terminali comuni di gate dei transistori M3 ed M4 dello specchio di corrente CM è interposto un secondo transistore di
25 attivazione/disattivazione (di tipo P) M7, al cui gate è

applicato il segnale di attivazione del comparatore PMPDISCHEN.

Il terminale di drain del transistor M1 dell'amplificatore differenziale D-P è collegato ad una
5 linea d'uscita L sulla quale, quando il comparatore è attivato, si rende disponibile un segnale correlato alla differenza della tensione d'uscita dal partitore di tensione V-DIV e della tensione di riferimento VREF. Alla linea d'uscita L è collegato un terzo transistor
10 di attivazione/disattivazione (di tipo P) M8 alimentato dalla tensione VDD e tale da ricevere in ingresso il segnale di attivazione PMPDISCHEN. Secondo l'esempio di figura 4, la linea d'uscita L è collegata ad un stadio intermedio PP includente un transistor superiore di
15 tipo P, M9, collegato in cascata ad un transistor inferiore di tipo N, M10, avente un terminale collegato a massa. La linea L è collegata al gate del transistor superiore M9, e il transistor inferiore M10 riceve al proprio gate la tensione di riferimento VREF.

20 Un nodo comune CN dei transistori superiore ed inferiore è collegato in ingresso ad un primo invertitore I1 a sua volta collegato ad un secondo invertitore I2 sulla cui uscita è reso disponibile il segnale di comando-scarica PMPDISCH.

25 Come evidente per il tecnico del ramo, quando il

segnale di attivazione del comparatore PMPDISCHEN assume un livello logico alto il comparatore 105 è attivato al funzionamento mentre, quando tale segnale assume un livello logico basso il primo transistor di attivazione
5 M6 è disattivato e il secondo transistor di attivazione M7 è attivato al funzionamento in modo da disattivare il transistor M3 dello specchio di corrente CM.

Inoltre, quando il segnale di attivazione del comparatore PMPDISCHEN è a livello logico basso, il
10 terzo transistor di attivazione M8 è attivato al funzionamento in modo da portare la linea d'uscita L alla tensione VDD (livello alto) e disattivare il transistor superiore M9. In tal modo, mediante il transistor inferiore M10, all'ingresso del primo
15 invertitore I1 è portata una tensione tale per cui all'uscita del secondo invertitore I2 il segnale di comando-scarica PMPDISCH assume un livello logico basso, che non consente di effettuare la scarica.

Considerando ora il comparatore 105 in uno stato
20 attivo, quando la tensione V-DIV in uscita dal partitore di tensione 104 è superiore alla tensione VREF, sulla linea L di uscita dall'amplificatore differenziale D-P è presente un segnale tale da attivare al funzionamento il transistor superiore M9 dello stadio intermedio PP. In
25 questo modo, in ingresso al primo invertitore I1 è

portato un segnale tale per cui in uscita al secondo invertitore I2, il segnale di comando-scarica PMPDISCH assumerà un livello logico alto, che consente di effettuare la scarica.

5 La figura 5 mostra un esempio di un circuito elettronico 114, in particolare, in tecnologia CMOS impiegabile per realizzare le funzioni svolte dai commutatori ad alta tensione 101 e 102 e per la generazione del secondo segnale di pilotaggio
10 REGCONHV_N.

Il circuito 114 comprende quattro primi transistori (di tipo P) T1, T2, T3 e T4 collegati in serie fra loro e interposti fra il terminale d'uscita 10 del regolatore di tensione 17 e il secondo nodo 103 a cui è collegata
15 la linea d'uscita STBYPMPOUT dello stadio elevatore di tensione di stand-by 5.

Tali primi transistori T1, T2, T3, T4 svolgono il ruolo del secondo commutatore ad alta tensione 102 e sono tali da poter ricevere ai rispettivi terminali di
20 gate il secondo segnale di pilotaggio REGCONHV_N per essere attivati/disattivati alla/dalla conduzione in base al livello assunto dal secondo segnale di pilotaggio stesso.

Quando i primi transistori T1, T2, T3, T4 sono
25 attivati alla conduzione (commutatore 101 nello stato

chiuso) il terminale d'uscita 10 è collegato al secondo nodo 103 e quindi può ricevere la tensione generata dallo stadio elevatore di tensione di stand-by 5.

Inoltre il circuito 114 comprende secondi
5 transistori T5 e T6 (di tipo P) collegati in serie fra loro e interposti fra il primo nodo 15 e un terzo nodo 103' collegato selettivamente al secondo nodo 103 che riceve il segnale di STBYPMPOUT. Tali secondi transistori T5 e T6 svolgono le funzioni del primo
10 commutatore ad alta tensione 101 e i rispettivi terminali di gate sono tali da ricevere il primo segnale di pilotaggio PMPCONHV_N.

Quando tali secondi transistori T5 e T6 sono attivati alla conduzione dal livello opportuno del primo
15 segnale di pilotaggio PMPCONHV_N, il primo nodo 15 è posto in collegamento con il terzo nodo 103' e, se i primi transistori T3 e T4 sono attivati, anche con il secondo nodo 103.

Il circuito 114 di figura 5, mostra anche uno
20 stadio elevatore 110' che a partire da un segnale SB_N ottenuto negando il segnale di stand-by SB genera il secondo segnale di pilotaggio REGCONHV_N.

Questo stadio elevatore di tensione è di per sé convenzionale e quindi risulta chiaro ad uno esperto del
25 ramo dalla figura 5.

Comunque, lo stadio elevatore 110' comprende un invertitore includente un transistor Q1 di tipo P ed un transistor Q2 di tipo N destinati a ricevere sui rispettivi gate il detto segnale SB_N e a fornire su una uscita U1 un segnale di logica invertita che pilota un transistor d'uscita Q3 di tipo N. Il transistor d'uscita Q3 è collegato ad un nodo di uscita 115 dello stadio elevatore 110' destinato a rendere disponibile il secondo segnale di pilotaggio REGCONHV_N. Tale nodo 115 è collegato al terminale di gate di un transistor Q5 di tipo P a sua volta collegato al secondo nodo 103 mediante un transistor Q6 di tipo P.

Il nodo 115 è anche collegato ad un transistor Q7 pilotato dall'uscita di un transistor Q8 tale da ricevere al terminale di gate il segnale SB_N. I transistori Q2 e Q7 presentano una convenzionale connessione a latch.

Quando il segnale SB_N è di livello logico basso (segnale di stand-by SB attivo) l'invertitore Q1-Q2 fornisce sull'uscita U1 un segnale di livello logico alto che attiva alla conduzione il transistor d'uscita Q3 che collega alla massa il nodo 115. In tale condizione, il segnale REGCONHV_N assume un valore di tensione sostanzialmente pari alla tensione di massa.

Viceversa, se il segnale SB_N è di livello logico

alto (segnale di stand-by SB disattivo) il transistor
d'uscita Q3 è disattivato dall'uscita a livello logico
basso dell'invertitore Q1-Q2.

Il nodo 115 è portato sostanzialmente alla tensione
5 del secondo nodo 103 mediante il transistor Q6 e il
transistor Q7, quest'ultimo attivato alla conduzione
dal segnale di livello logico basso uscente dal
transistor Q8. Quindi, sul nodo 115 è reso disponibile
il secondo segnale REGCONHV_N ad alta tensione, cioè con
10 valore di tensione sostanzialmente pari a quello del
segnale STBYPMPOUT.

La figura 6 mostra alcuni risultati di misure
sperimentali effettuate con riferimento ad un
dispositivo di tipo convenzionale quale quello descritto
15 dalla sopracitata domanda di brevetto EP-A-1113450.

La curva B-VREG rappresenta l'andamento nel tempo
della tensione del terminale d'uscita del regolatore di
tensione durante il funzionamento in una normale
condizione operativa quale, ad esempio, una lettura
20 della cella 2. Nella figura 6, la curva B-VREG è
sostanzialmente disposta intorno ad un valore di
tensione V_{av} pari a 6V, idoneo alla lettura delle celle
di memoria.

La curva B-CE# rappresenta l'andamento temporale di
25 un segnale di abilitazione chip CE# di tipo periodico,

con periodo di 1 μ s, e duty-cycle (indice di
utilizzazione) pari a 20% che seleziona (CE# basso) o
disabilita (CE# alto) la matrice di memoria 2. La curva
B-CE# rappresenta un segnale tale da non consentire
5 l'esaurimento del transitorio fra il condensatore di
filtro in uscita al survolto e il condensatore di
decodifica in uscita al regolatore di tensione.

La curva B-VREG-SB mostra l'andamento della
tensione del terminale d'uscita del regolatore di
10 tensione durante cicli di stand-by in accordo con
l'andamento del segnale di abilitazione CE#. Come si
nota dall'osservazione della curva B-VREG-SB, la
tensione sul terminale d'uscita aumenta durante lo
stand-by rispetto al valore V_{av} e, in uscita dallo stato
15 di stand-by non è in grado di ritornare al valore V_{av} .
Inoltre, dopo un certo numero di cicli del segnale di
abilitazione CE# (circa 9 cicli secondo l'esempio) la
tensione al terminale d'uscita del regolatore raggiunge
un valore di saturazione che nell'esempio della figura è
20 circa pari a 6,4 V.

Come detto in precedenza, tale saturazione è
spiegabile con il fatto che nel dispositivo
convenzionale non si è consentito l'esaurimento del
transitorio fra il condensatore di filtro e quello di
25 decodifica.

La figura 7 mostra simulazioni di confronto fra il comportamento di un dispositivo convenzionale analogo a quello che ha dato luogo alle curve di figura 6 con un dispositivo realizzato in accordo con l'invenzione.

5 La curva B-SB mostra l'andamento nel tempo di un segnale di stand-by (tensione in Volt versus secondi) avente la funzione del segnale SB precedentemente descritto e avente un comportamento periodico ad alta frequenza e cioè particolarmente critico.

10 La curva P-A mostra l'andamento della tensione del terminale d'uscita del regolatore di tensione in conseguenza delle variazioni della curva B-SB per un dispositivo convenzionale.

La curva INV mostra l'andamento della tensione del
15 terminale d'uscita 10 in corrispondenza del segnale mostrato con la curva B-SB in un sistema di memoria di tipo analogo al sistema 1 precedentemente descritto.

Risulta evidente che la curva INV si mantiene al di sotto della curva P-A. La curva P-A raggiunge un valore
20 di picco circa pari a 6,4 V (si veda, ad esempio, il picco P1 in figura 7).

Inoltre, quando si esce dallo stato di stand-by la curva P-A si abbassa e si porta ad un valore circa pari a 6,18 V (si veda, ad esempio, il picco verso il basso
25 del tratto di curva indicato con P2). Questo valore di

6,18 V risulta troppo elevato rispetto al valore di lettura ottimale che, secondo l'esempio, è di 6 V e, quindi, è causa di una lettura non corretta.

Invece, nella medesima condizione operativa, la
5 curva INV raggiunge un valore di picco circa pari a 6,21 V (si veda ad esempio, il picco P3) e, in uscita dallo stand-by tale valore si riduce a meno di 6V cioè, raggiunge un valore che assicura una corretta lettura (si veda il punto P4).

10 Va anche osservato che, vantaggiosamente, in altre condizioni operative, meno critiche di quella mostrata, il sistema dell'invenzione non perviene alla saturazione mentre tale saturazione può verificarsi per sistemi di memoria convenzionali.

15 Si faccia ora riferimento al funzionamento del sistema di memoria 1 al rientro da uno stato di stand-by, cioè alla condizione operativa in cui cessa lo stato di stand-by e la matrice di memoria 2 è selezionata per una operazione, ad esempio, di lettura.

20 In particolare, si consideri il caso in cui il sistema di memoria 1 sia rimasto in stand-by per un periodo di tempo sufficientemente lungo da far sì che stadi intermedi del survoltore a pompa di carica 12 siano a potenziali elettrici inferiori o uguali alla
25 tensione di alimentazione VDD. Quando il sistema di

memoria 1 viene nuovamente abilitato, il survoltore a pompa di carica 12 impiega un certo numero di impulsi di clock per portarsi a regime.

Per il corretto funzionamento in uscita dallo
5 stand-by è richiesta istantaneamente almeno una corrente statica I_{dc} per alimentare il regolatore di tensione 17 ossia, una corrente statica lungo la linea di conduzione 15'.

Siccome il survoltore a pompa di carica 12 impiega
10 un certo tempo per portarsi a regime la tensione presente al terminale di uscita 10 può scaricarsi, cioè diminuire portandosi al disotto del valore nominale di lettura, inficiando la corretta funzionalità del sistema di memoria.

15 Si deve anche osservare che il condensatore di filtro 16 non è predisposto per supplire a questo ritardo del survoltore 12 e quindi non consente di fornire carica elettrica a partire dalla quale si possa sostenere la corrente statica I_{dc} .

20 Una tale situazione risulta tanto più critica quanto è minore la tensione di alimentazione VDD del sistema di memoria 1, in virtù del fatto che l'azione di elevazione in tensione su condensatori (non mostrati) tipicamente inclusi nel survoltore a pompa di carica 12
25 risultano meno efficaci.

Inoltre, si è osservato che negli stati successivi al rientro da stand-by, al survoltore a pompa di carica 12 è richiesta una corrente anche maggiore della corrente statica I_{dc} richiesta dal solo regolatore di tensione 17. Infatti, si è notato che, oltre alla corrente statica I_{dc} , è richiesta una corrente di transitorio I_{WL} .

La corrente di transitorio I_{WL} è funzione della carica elettrica richiesta per caricare una o più word-line 7 indirizzate in conseguenza di accessi singoli alla matrice di memoria oppure di accessi multipli alla stessa. Ciascuna word line 7 costituisce un carico per il regolatore di tensione 17.

In maggior dettaglio, tale corrente di transitorio I_{WL} è data dalla seguente espressione :

$$I_{WL} = C_{WL} \cdot V_{GR} / \Delta T_{WL} \quad (2)$$

Dove C_{WL} è la capacità associata alla word-line, V_{GR} è la tensione di gate di lettura e ΔT_{WL} è il tempo necessario a caricare la word-line.

In condizioni di funzionamento normale, ad esempio durante una lettura, la corrente statica I_{dc} e la corrente di transitorio I_{WL} vengono fornite dal survoltore a pompa di carica 12 che consente di mantenere il condensatore di filtro 16 ad un valore di tensione nominale V_{GP} .

Invece, si è osservato che al rientro da una fase

di stand-by, il capacitore di filtro 16 è carico ad una tensione di stand-by V_{SB} minore di quella nominale V_{GP} ed inoltre tale capacitore non è caricato istantaneamente dal survoltore a pompa di carica 12.

5 Quindi, per un certo periodo di tempo ΔT_{DEL} , dipendente dalle condizioni operative (temperatura di esercizio e tensione di alimentazione), il survoltore a pompa di carica 12 non è in grado di fornire la necessaria carica elettrica per le correnti I_{dc} e I_{WL} . Di
10 conseguenza, la corrente statica I_{dc} e quella di transitorio I_{WL} scaricano il capacitore di filtro 16 al di sotto della tensione di gate di lettura V_{GR} di una quantità di ΔV_{DISCH} pari a:

$$\Delta V_{DISCH} = V_{SB} - V_{FIN} = V_{OUT,SB} - \frac{\Delta T_{DEL} \cdot I_{dc}}{C_{16}} - n * \frac{\Delta T_{WL} \cdot I_{WL}}{C_{16}} \quad (3)$$

15 ove n e' il numero di word-line che possono essere indirizzate nel tempo ΔT_{DEL} , e V_{FIN} è la tensione al primo nodo 15 al termine di questa scarica indesiderata. Il tempo ΔT_{DEL} può essere pari a 500 ns in casi particolarmente critici quali, ad esempio, casi in cui
20 la tensione di alimentazione V_{DD} è di 2,5 V e la temperatura raggiunge i 90°C.

La quantità di carica Q da compensare e' quindi:

$$Q = \Delta T_{DEL} I_{dc} + n \Delta T_{WL} I_{WL} \quad (4)$$

Con riferimento alle problematiche sopra indicate,
25 vantaggiosamente, il sistema di memoria 1 mostrato in

figura 1 può comprendere mezzi addizionali di elevazione di tensione.

Secondo una prima forma di attuazione, tali mezzi addizionali di elevazione di tensione possono
 5 comprendere un survoltore a pompa di carica addizionale 112, F-RECH, di tipo tale da consentire una sua rapida riattivazione al rientro da stand-by e dimensionato in modo da fornire la quantità di carica Q richiesta e quantificabile dalla relazione (4) al primo nodo 15.

10 Ad esempio, un survoltore a rapida attivazione è un survoltore in grado di fornire la carica elettrica necessaria Q in 500ns. Un tale tipo di survoltore a rapida attivazione è disponibile in commercio.

In ingresso al survoltore aggiuntivo 112 è
 15 applicato un segnale di abilitazione/disabilitazione EN che consente di disattivarlo dopo un intervallo di tempo pari circa al tempo ΔT_{DEL} .

In figura 8 è mostrato un esempio di mezzi aggiuntivi di elevazione della tensione 113 impiegabili
 20 alternativamente al survoltore a pompa di carica aggiuntivo 112.

I mezzi aggiuntivi 113 comprendono elementi per fornire carica elettrica o, più brevemente, "booster" includenti elementi di pilotaggio collegati a
 25 condensatori di compensazione. In maggior dettaglio, i

mezzi 113 includono un elemento di pilotaggio B1, quale un convenzionale invertitore, collegato in uscita ad un primo capacitore di boost CB-dc e ad un secondo capacitore di boost CB-WL1 entrambi collegati anche al
 5 primo nodo 15. In particolare, i detti capacitori di boost presentano un piatto superiore collegato al primo nodo 15 e un piatto inferiore collegato all'uscita dell'invertitore B1 per essere pilotato.

Tale invertitore B1 e, quindi, il primo capacitore
 10 CB-dc sono dimensionati in modo da compensare la suddetta corrente statica I_{dc} . Inoltre, l'invertitore B1, provvisto del secondo capacitore CB-WL1, può anche fornire un primo contributo alla corrente di transitorio I_{WL} . L'invertitore B1 è tale da ricevere in ingresso un
 15 corrispondente segnale di comando BST1#.

Inoltre, i mezzi di elevazione di tensione aggiuntivi 113 di figura 8 comprendono ulteriori invertitori B2-Bn aventi corrispondenti uscite collegate a rispettivi capacitori di boost CB2-WL2 - CBn-WLn
 20 collegati al primo nodo 15 che forniscono contributi alla corrente di transitorio I_{WL} . Gli ulteriori invertitori B2-Bn possono ricevere rispettivi segnali d'ingresso BST1# - BSTn#.

L'invertitore B1 e gli ulteriori invertitori B2-Bn
 25 sono alimentati da una tensione di alimentazione VB

pari, ad esempio, a quella VDD di alimentazione del
 dispositivo elevatore di tensione 3. Alternativamente,
 la tensione di alimentazione VB può essere generata da
 un circuito di regolazione aggiuntivo alimentato, ad
 esempio, con la medesima tensione VDD o con una tensione
 5 appositamente generata. Per l'alimentazione degli
 invertitori B1-Bn potranno anche essere impiegate
 tensioni di alimentazione diverse fra loro.

Nella medesima figura 8 è rappresentato un esempio
 10 della tempistica dei segnali di comando BST1# - BSTn# in
 conseguenza del segnale di stand-by SB e di segnali di
 indirizzamento ADD delle celle di memoria dell'array 2.

Secondo l'esempio di figura 8, all'uscita dallo
 stand-by (il segnale SB ha assunto un livello logico
 basso) e in presenza di un primo indirizzo ADD, il
 15 segnale di comando BST1# assume un livello logico (ad
 esempio, basso) tale da pilotare, mediante l'invertitore
 B1, il primo capacitore CB-dc e il secondo capacitore
 CB-WL1. In tal modo, si verificherà una ridistribuzione
 20 della carica elettrica fra questi capacitori CB-dc e CB-
 WL1 e il capacitore di filtro 16 in modo da fornire la
 carica Q richiesta per la corrente statica I_{dc} e per la
 corrente di transitorio necessaria a questo primo
 indirizzamento cioè, relativa alla particolare word-line
 25 indirizzata.

In tale fase, gli altri invertitori B2-Bn pilotano gli altri capacitori CB-WL2 e CB-WLn in modo che questi non forniscano carica elettrica.

Quando si verifica un cambio di indirizzo cioè, una
5 commutazione del segnale di indirizzo ADD, è attivato il segnale di comando BST2# (che assume un livello logico basso) facendo sì che l'ulteriore invertitore B2 piloti il capacitore CB-WL2 in modo da fornire la corrente di transitorio necessaria a questo altro indirizzamento.
10 Considerazioni analoghe possono essere fatte per il segnale BSTn# e per l'invertitore Bn.

I segnali di comando BST1# - BSTn#, dopo il tempo ΔT_{DEL} , sono riportati con tempistiche opportune a livelli tali da consentire che il survoltore a pompa di carica
15 12, una volta raggiunto il regime, possa caricare i capacitori CB-dc e CB-WL1 - CB-WLn.

Le figure 9a e 9b mostrano risultati di simulazioni effettuate per un dispositivo elevatore di tensione che non utilizza i mezzi di elevazione di tensione
20 addizionali (figura 9a) e per un dispositivo elevatore che impiega un dispositivo del tipo mostrato in figura 8 includente due invertitori B1 e B2 con i suddetti rispettivi capacitori e alimentati con una tensione $V_B = V_{DD}$.

25 Le simulazioni sono state effettuate con

riferimento ad una situazione di alta temperatura e bassa tensione di alimentazione che quindi è particolarmente critica.

Nella figura 9a è mostrato con la curva ATD
5 l'andamento di un segnale di attivazione di accesso alla matrice di memoria 2 (normalmente denominato Address Transition Detector) generato quando si verifica un cambio d'indirizzo e/o una discesa del segnale CE#.

Le curve IN-REG1 e OU-REG1 mostrano rispettivamente
10 l'andamento della tensione di alimentazione (quale quella fornita al primo nodo 15) del regolatore di tensione 17 e l'andamento della tensione d'uscita del regolatore di tensione 17 (quale quella fornita al terminale d'uscita 10).

15 Dalla figura 9a si osserva il calo in tensione (indicato con un freccia F1) che si presenta al primo nodo 15 e al terminale d'uscita 10 secondo la tecnica nota.

Facendo riferimento alla figura 9b, le curve IN-
20 REG2 e OU-REG2 mostrano rispettivamente l'andamento della tensione di alimentazione (quale quella fornita al primo nodo 15) del regolatore di tensione 17 e l'andamento della tensione d'uscita del regolatore di tensione 17 (quale quella fornita al terminale d'uscita
25 10).

Dalla figura 9b appare chiaro come la tensione presente al primo terminale 15 (IN-REG2) non presenti un decremento in modulo ma, anzi, mostra un picco di tensione indicato da una freccia F2. Inoltre, si osservi
5 come, vantaggiosamente, la tensione fornita al terminale di uscita 10 e quindi alle word-line 7 (OU-REG2) non presenti l'indesiderato fenomeno del calo in modulo.

Rivendicazioni

1. Dispositivo (3) elevatore di tensione tale da assumere selettivamente uno stato attivo e uno stato di attesa, detto dispositivo comprendendo:

5 - un primo terminale (15) tale da assumere un rispettivo potenziale elettrico e associato ad un primo capacitore (16),

 - un secondo terminale (10) associato ad un secondo capacitore (11) e selettivamente collegabile al primo
10 terminale (15),

 caratterizzato dal fatto di comprendere inoltre mezzi circuitali (100) per scaricare il primo capacitore riducendo in modulo il potenziale elettrico del primo terminale (15), i mezzi circuitali essendo
15 attivati al funzionamento quando detto dispositivo è nello stato di attesa e il secondo terminale (10) è scollegato da detto primo terminale (15).

2. Dispositivo (3) secondo la rivendicazione 1, in cui detti mezzi circuitali (100) consentono di
20 scaricare il primo capacitore (16) per evitare perturbazioni di detto secondo terminale (10) dovute ad interazioni fra il primo ed il secondo capacitore verificabili quando il primo e il secondo terminale sono collegati.

25 3. Dispositivo (3) secondo la rivendicazione 1,

in cui detti mezzi circuitali (100) comprendono un dispositivo di scarica (106) collegabile a detto primo terminale (15) e tale da provocare una corrente di scarica (Idisch) del primo capacitore (16) quando il
5 detto potenziale elettrico è superiore in modulo ad un valore prestabilito, il dispositivo di scarica (106) essendo attivabile/disattivabile al/dal funzionamento mediante un primo segnale di comando (PMPDISCH).

4. Dispositivo (3) secondo la rivendicazione 3,
10 in cui detti mezzi circuitali (100) comprendono inoltre mezzi di rivelazione (104,105) tali da generare il primo segnale di comando (PMPDISCH) del dispositivo di scarica (106) a partire da una prima tensione (V-DIV) correlata al potenziale elettrico del primo terminale (15).

15 5. Dispositivo (3) secondo rivendicazione 4, in cui detti mezzi di rivelazione (104,105) comprendono un comparatore di tensione (105) per comparare la prima tensione (V-DIV) con una tensione di riferimento (VREF), detto comparatore fornendo in uscita il primo segnale di
20 comando (PMPDISCH).

6. Dispositivo (3) secondo la rivendicazione 4, in cui detto dispositivo di scarica (106) include un MOSFET (108) avente un terminale di controllo collegato a detti mezzi di rivelazione per ricevere il primo
25 segnale di comando (PMDISCH).

7. Dispositivo (3) secondo la rivendicazione 5, in cui i mezzi di rivelazione (104,105) comprendono un partitore di tensione (104) collegato a detto primo terminale (15) e tale da fornire detta prima tensione al
5 comparatore di tensione (105).

8. Dispositivo (3) secondo la rivendicazione 1, comprendente uno stadio survoltore (12) collegato a detto primo terminale per fornire il potenziale elettrico maggiore in modulo di una tensione di
10 alimentazione del dispositivo (3).

9. Dispositivo (3) secondo la rivendicazione 8, inoltre comprendente uno stadio regolatore di tensione (17) collegabile allo stadio survoltore (12) nello stato attivo per ricevere detto potenziale elettrico e fornire
15 una tensione operativa sul secondo terminale (10).

10. Dispositivo (3) secondo la rivendicazione 1, inoltre comprendente uno stadio elevatore di tensione (5) per innalzare in tensione il secondo terminale (10) quando il dispositivo è nello stato di attesa e il primo
20 e secondo terminale sono scollegati.

11. Dispositivo (3) secondo la rivendicazione 10, in cui lo stadio elevatore di tensione (5) consente di innalzare in tensione anche il primo terminale (15) collegato al secondo terminale (10) quando, nello stato
25 di attesa, i detti mezzi circuitali (100) di scarica

sono disattivati.

12. Dispositivo (3) secondo la rivendicazione 1
provvisto di almeno un ingresso per ricevere un secondo
segnale di comando (SB) tale da portare il dispositivo
5 nello stato di attesa o nello stato attivo.

13. Dispositivo (3) secondo la rivendicazione 12,
in cui i mezzi circuitali (100) comprendono mezzi di
commutazione (101, 102) destinati a collegare/scollegare
eletttricamente il primo terminale (15) al/dal secondo
10 terminale (10), detti mezzi di commutazione essendo
comandati da almeno un segnale di pilotaggio della
commutazione (PMPCONHV_N, REGCONHV_N).

14. Dispositivo (3) secondo la rivendicazione 13,
in cui detti mezzi circuitali (100) comprendono inoltre
15 almeno un circuito (109;110) per la generazione di detto
almeno un segnale di pilotaggio della commutazione
(PMPCONHV_N, REGCONHV_N) a partire da detto secondo
segnale di comando (SB) e da un segnale (LOWPMP)
rappresentativo della diminuzione di detto potenziale
20 elettrico in seguito alla scarica del primo capacitore
(16).

15. Dispositivo secondo la rivendicazione 9,
comprendente inoltre mezzi addizionali di elevazione di
tensione (112; 113) di detto primo terminale (15)
25 destinati ad operare quando detto dispositivo è portato

nello stato attivo dopo una permanenza nello stato di attesa e per un intervallo di tempo predeterminato, detti mezzi addizionali fornendo al primo terminale (15) carica elettrica per compensare un iniziale assorbimento
5 di corrente da detto primo capacitore (16) che si verifica all'ingresso nello stato attivo.

16. Dispositivo secondo la rivendicazione 15, in cui detti mezzi addizionali (112;113) sono tali da fornire carica elettrica per sostenere almeno una
10 corrente statica di alimentazione di detto stadio regolatore (17).

17. Dispositivo secondo la rivendicazione 15, in cui detti mezzi addizionali (112;113) sono tali da fornire almeno una corrente di transitorio per
15 compensare un assorbimento di corrente transitorio da parte di un carico collegabile a detto secondo terminale (10) del regolatore di tensione (17).

18 Dispositivo secondo la rivendicazione 15, in cui detti mezzi addizionali comprendono un survoltore a
20 pompa di carica aggiuntivo (112) di tipo a rapida attivazione.

19 Dispositivo secondo la rivendicazione 15, in cui detti mezzi addizionali (113) comprendono un primo elemento di pilotaggio (B1) collegato ad almeno un primo
25 capacitore di compensazione (CB-dc) collegato al primo

terminale (15), detto primo capacitore di compensazione essendo pilotabile da detto primo elemento di pilotaggio (B1) per fornire carica elettrica a partire dalla quale è ottenibile detta almeno una corrente statica.

5 20. Dispositivo secondo la rivendicazione 19, inoltre comprendente un secondo capacitore di compensazione (CB-WL1) associato a detto primo capacitore di compensazione (CB-dc) pilotabile da detto primo elemento di pilotaggio (B1) per fornire carica
10 elettrica a partire dalla quale è ottenibile detta corrente di transitorio.

21. Dispositivo secondo la rivendicazione 20, in cui detti mezzi addizionali (113) includono almeno un secondo elemento di pilotaggio (B2, Bn) collegato ad
15 almeno un secondo capacitore di compensazione in modo da fornire carica elettrica per sostenere una ulteriore corrente di transitorio e compensare un assorbimento di corrente da parte di un ulteriore carico collegabile a detto secondo terminale (10).

20 22. Sistema di memoria non volatile comprendente:

- una matrice di celle di memoria organizzate in righe e colonne,
- un dispositivo (3) elevatore di tensione per elevare in modulo una tensione di alimentazione e
25 fornire una tensione operativa a detta matrice di

memoria,

caratterizzato dal fatto che detto dispositivo
elevatore di tensione è realizzato secondo almeno una
delle precedenti rivendicazioni.

5

10

15

20

25

**"DISPOSITIVO ELEVATORE DI TENSIONE E SISTEMA DI
MEMORIA"**

Riassunto

Dispositivo (3) elevatore di tensione tale da
5 assumere selettivamente uno stato attivo e uno stato di
attesa, detto dispositivo comprendendo:

- un primo terminale (15) tale da assumere un
rispettivo potenziale elettrico e associato ad un primo
capacitore (16),
- 10 - un secondo terminale (10) associato ad un secondo
capacitore (11) e selettivamente collegabile al primo
terminale (15),

caratterizzato dal fatto di comprendere
inoltre mezzi circuitali (100) per scaricare il primo
15 capacitore riducendo in modulo il potenziale elettrico
del primo terminale (15), i mezzi circuitali essendo
attivati al funzionamento quando detto dispositivo è
nello stato di attesa e il secondo terminale (10) è
scollegato da detto primo terminale (15).

20

Figura 1